

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-146839

(43)Date of publication of application : 20.05.2004

(51)Int.Cl.

H01L 21/336
H01L 21/28
H01L 21/3065
H01L 29/423
H01L 29/49
H01L 29/78
H01L 29/786

(21)Application number : 2003-370273

(71)Applicant : SEMICONDUCTOR ENERGY LAB
CO LTD

(22)Date of filing : 30.10.2003

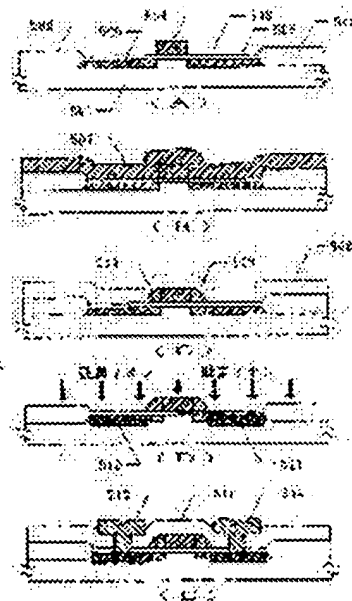
(72)Inventor : YAMAZAKI SHUNPEI
SUZAWA HIDEOMI
SAKAI SHIGEFUMI
TAKEMURA YASUHIKO

(54) THIN-FILM TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a thin-film transistor having an overlapped LDD (GOLD) structure.

SOLUTION: The thin-film transistor comprises a semiconductor layer, having N-type source and drain regions on an insulating substrate, a gate insulating film on the semiconductor layer, and a gate electrode having a sidewall, consisting of a conductive film on the gate insulating film. Further, the gate electrode consists of a material containing tungsten and molybdenum, and the region, in which the gate electrode overlaps the sidewall via the gate insulating film in the semiconductor layer, contains N-type impurities whose concentration is lower than that in the source and drain regions, and the concentration of N-type impurities in the region, in which the gate electrode overlaps the sidewall via the gate insulating film in the semiconductor layer, is 1×10^{16} to 1×10^{17} atoms/cm³.



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-146839

(P2004-146839A)

(43) 公開日 平成16年5月20日(2004.5.20)

(51) Int. Cl.⁷

F 1

テーマコード (参考)

H 01 L 21/336

H 01 L 29/78

6 1 6 A

4 M 1 0 4

H 01 L 21/28

H 01 L 21/28

E

5 F 0 0 4

H 01 L 21/3065

H 01 L 21/28

3 0 1 R

5 F 1 1 0

H 01 L 29/423

H 01 L 29/78

6 1 7 K

5 F 1 4 0

H 01 L 29/49

H 01 L 29/78

3 0 1 G

審査請求 有 請求項の数 3 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願2003-370273 (P2003-370273)

(22) 出願日 平成15年10月30日(2003.10.30)

(62) 分割の表示 特願2000-364120 (P2000-364120)

原出願日 平成6年12月12日(1994.12.12)

(特許庁注: 以下のものは登録商標)

1. テフロン

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 須沢 英臣

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 酒井 重史

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 竹村 保彦

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

最終頁に続く

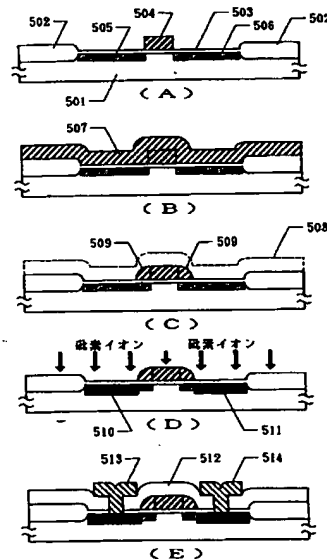
(54) 【発明の名称】 薄膜トランジスタ

(57) 【要約】

【課題】 GOLD構造の薄膜トランジスタの提供。

【解決手段】 絶縁基板上的N型のソース領域及びドレイン領域を有する半導体層と、前記半導体層上のゲート絶縁膜と、前記ゲート絶縁膜上の導電性被膜から成るサイドウォールを有するゲート電極とを有し、前記ゲート電極はタングステン、モリブデンを含む材料から成り、前記半導体層において前記ゲート絶縁膜を介して前記サイドウォールと重なる領域は、前記ソース領域及びドレイン領域よりも低濃度にN型不純物が含まれており、前記半導体層において前記ゲート絶縁膜を介して前記サイドウォールと重なる領域のN型不純物の濃度は、 $1 \times 10^{16} \sim 1 \times 10^{17}$ 原子/cm³であることを特徴とする薄膜トランジスタ。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

絶縁基板上的のN型のソース領域及びドレイン領域を有する半導体層と、前記半導体層上のゲイト絶縁膜と、前記ゲイト絶縁膜上の導電性被膜から成るサイドウォールを有するゲイト電極とを有し、

前記ゲイト電極はタングステン、モリブデンを含む材料から成り、

前記半導体層において前記ゲイト絶縁膜を介して前記サイドウォールと重なる領域は、前記ソース領域及びドレイン領域よりも低濃度にN型不純物が含まれており、

前記半導体層において前記ゲイト絶縁膜を介して前記サイドウォールと重なる領域のN型不純物の濃度は、 $1 \times 10^{16} \sim 1 \times 10^{17}$ 原子/cm³であることを特徴とする薄膜トランジスタ。 10

【請求項 2】

絶縁基板上的のN型のソース領域及びドレイン領域を有する半導体層と、前記半導体層上のゲイト絶縁膜と、前記ゲイト絶縁膜上の導電性被膜から成るサイドウォールを有するゲイト電極とを有し、

前記導電性被膜はシリコン、モリブデン又はタングステンを主成分とする材料から成り、

前記半導体層において前記ゲイト絶縁膜を介して前記サイドウォールと重なる領域は、前記ソース領域及びドレイン領域よりも低濃度のN型不純物が含まれており、

前記半導体層において前記ゲイト絶縁膜を介して前記サイドウォールと重なる領域のN型不純物の濃度は、 $1 \times 10^{16} \sim 1 \times 10^{17}$ 原子/cm³であることを特徴とする薄膜トランジスタ。 20

【請求項 3】

請求項 1 または 2 において、前記N型不純物は磷であることを特徴とする薄膜トランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路の作製方法に関し、シリコン、モリブデン、タングステンによって組成の95%以上が占められている導電性被膜の異方性エッチングに関する。この 30
ような導電性被膜としては、単結晶、多結晶もしくはアモルファス状態のシリコン、タングステンシリサイド(WSi₂)、モリブデンシリサイド(MoS₂)あるいはこれらの多層膜が挙げられ、本発明はこれらの被膜を実質的にプラズマを用いないでエッチングする方法に関する。

【背景技術】

【0002】

半導体集積回路の微細化の要求により、各種のドライエッチング法が開発された。特に微細化によって、アスペクト比(縦と横の比率)が高くなるにつれ、異方性エッチング(垂直方向に選択的にエッチングが進行するエッチング方法)技術が必要とされるようになった。このような微細加工は特に、半導体基板、ゲイト電極・配線や下層の配線の加工に 40
おいて必要である。そして、このような配線にはシリコンやタングステン、モリブデン、あるいはそれらのシリサイド(珪化物、例えば、タングステンシリサイド(WSi₂)、モリブデンシリサイド(MoS₂))が使用されるため、これらの材料の異方性エッチング技術が重要であった。

【0003】

従来、このようなエッチングはCF₄、SF₆その他のフッ化物気体をプラズマによって電離させることによって、フッ素活性種を発生させ、これとシリコンやモリブデン、タングステンを反応させ、揮発性のフッ化珪素、フッ化モリブデン、フッ化タングステンとしてエッチングする方法が一般的であった。しかしながら、このようなエッチング工程においては、エッチングガス中に含まれる炭素や硫黄がシリコンと化合して半導体素子に混 50

入する危険性があり、また、長期間エッチングに使用したチャンバー内壁にはテフロン状のポリマーが付着するという問題点があった。

【0004】

また、エッチングに際してプラズマを発生させねばならず、それによる半導体素子へのプラズマダメージが素子信頼性を低下させるという問題もあった。

一方、シリコンやタングステン、モリブデンを主成分とする材料のエッチングガスとしてはフッ化ハロゲン、すなわち、化学式 XF_n （Xはフッ素以外のハロゲン、nは整数）で示される物質（例えば、 ClF 、 ClF_3 、 BrF 、 BrF_3 、 IF 、 IF_3 等）が知られている。これらの材料は極めて強力なフッ化作用を有するため、プラズマによって活性種を発生させなくともエッチングできる（ガスエッチング）という特徴があった。しかし、通常のガスエッチングにおいては、側方へのエッチングを抑制して、垂直方向のみを選択的にエッチングすることができず、したがって、異方性エッチングは難しかった。

10

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明はこのような諸問題を解決せんとしてなされたものである。すなわち、エッチングガスとしてフッ化ハロゲンを用い、実質的にプラズマを用いないで異方性エッチングをおこなう方法を提供することを課題とする。この結果、炭素や硫黄というようなシリコン半導体にとって好ましくない異元素を素子中に混入させることがなくなる。また、エッチングチャンバーのメンテナンスも容易となる。もちろん、半導体素子のプラズマダメージも減少し、信頼性も向上させることが可能である。

20

【課題を解決するための手段】

【0006】

本発明は、フッ化塩素（ ClF ）、三フッ化塩素（ ClF_3 ）、五フッ化塩素（ ClF_5 ）、フッ化臭素（ BrF ）、三フッ化臭素（ BrF_3 ）、フッ化ヨウ素（ IF ）、三フッ化ヨウ素（ IF_3 ）等をはじめとしたフッ化ハロゲンをエッチングガスとして用い、かつ、基板に対して概略垂直に被エッチング面に光（紫外光やレーザー光等）を照射せしめることによって、エッチングに異方性を持たせることを特徴とする。

また、そのためには反応容器内にフッ化ハロゲンを導入する手段と、基板に概略垂直に光を照射するための手段とを有するエッチング装置が必要である。

30

【発明の効果】

【0007】

通常、フッ化ハライドによるガスエッチングでは、ウェットエッチングと同様に等方的なエッチングとなる。例えば、図1（A）のごとく基板101上のシリコン膜102にフォトリソのエッチングマスク103を形成した膜のエッチングをおこなった場合、エッチングを担っているフッ化ハロゲン分子は、等方的に試料表面に入射するため、エッチング面は図1（B）に示すように斜めとなる。なお、エッチングにおいては、図1（B）中の点線は、当初のエッチングマスクである。フッ化ハロゲンによるフッ化作用のため、フォトリソもエッチングされつつ、エッチングが進行する。（図1（B））

【0008】

40

エッチングにおいて、異方性を持たせるには、

- 1 パターン側壁へのラジカルの入射量を減少させる。
- 2 側壁に保護膜を形成し、側壁での被エッチング膜とラジカルとの接触を防止する。
- 3 側壁での反応そのものを抑える。

のいずれかを満たすことが必要である。本発明はこれらのうち、3に注目し、エッチング面での反応を、側面での反応に比較して優先して進行させることにより、エッチングの際に異方性を持たせる。

【0009】

本発明においては、光を基板に対して概略垂直に照射することで、光が照射されるエッチング面でのフッ化ハロゲンや被エッチング表面を活性化せしめ、反応を容易に進行させ

50

る。一方、光が直接、入射しない、あるいは光の総量が小さい側面では反応が遅くなる。その結果、エッチング方向に指向性を持たせ得ることができ、図1(C)に示すように異方性を付けることが可能となった。(図1(B).)

【0010】

本発明をより効果的に実施するには、例えば、 ClF 、 ClF_3 のように反応性の強い材料においては基板を冷却するとよい。なぜならば、このように反応性の高い気体においては、常温でも十分に高いエッチング速度が得られるため、垂直方向へのエッチングを選択的に起こなうことができない(異方性が高められない)からである。

【0011】

本発明によって、半導体集積回路において重要なシリコン基板のエッチング、あるいは多結晶シリコン、モリブテン、タングステン、モリブテンシリサイド、タングステンシリサイド、ポリサイド(シリコンとタングステンシリサイドあるいはモリブテンシリサイドの多層膜)等の配線のエッチングをおこなうことができる。しかも、本発明のエッチングにおいては、炭素や硫黄が副産することがないので、半導体素子の特性に悪影響を及ぼすことがない。また、長期間にわたってエッチングをおこなっても、チャンバーの内壁にポリマー等が付着することはなく、メンテナンスが容易である。

【0012】

しかも、本発明のエッチングはプラズマを用いることがないので、半導体素子の信頼性を高めることができる。特に本発明の対象とする半導体基板、ゲイト電極・配線等において、プラズマのダメージがないことは有利である。実施例では、GOLD構造の電界効果トランジスタを作製する例について記述したが、その他の場合においても本発明は効果的である。また、半導体基板上の素子以外に、絶縁基板上に形成されるTFTに本発明を適用しても同様な効果が得られることは言うまでもない。このように本発明は工業上、有益な発明である。

【実施例1】

【0013】

図2に本発明によるエッチング装置を示す。反応容器(チャンバー)201には反応ガスを導入する為のガス導入系202および、反応容器を減圧にし、かつ排ガス処理のための除害装置等を有する排気系203が設けられてある。ガス導入系は、 ClF 、 ClF_3 、 ClF_5 、 BrF 、 BrF_3 、 IF 、 IF_3 等をはじめとするフッ化ハロゲンの他にエッチング速度を調整するために希釈用ガスとして、窒素およびアルゴンが備えてある。本実施例においてはフッ化ハロゲンとして ClF_3 を使用した。

【0014】

また、反応容器内部に設置された基板ホルダー204は枚様式であり、このホルダーには常温〜 -20°C 程度まで温度を変化させることが可能な温度コントローラーが設けられてある。さらに、基板ホルダーの上部には光源205が設けられてある。この光源として、本実施例においてはUVランプを用いた。これは、大面積基板のエッチングには好ましかった。それ以外のものは長方形のレーザービーム等を使用してもかまわない。

【0015】

上記のような構成をとるエッチング装置において、図1(A)のようにマスクパターニングがされたシリコン膜のエッチングをおこなった例を示す。まず基板206を基板ホルダー204に設置して反応容器を減圧した。その後、基板204に光(本実施例においては紫外光)を概略垂直に照射しながら、エッチング速度を制御するために窒素やアルゴンによって1〜10%に希釈した ClF_3 をエッチングガスとして導入した。本実施例においては、 ClF_3 の濃度が5%となるように窒素によって希釈した。そして、反応容器内の圧力を100mTorrとしてエッチングをおこなった。

以上のようにして、エッチングをおこなった結果、垂直方向に選択的にエッチングが進行し、図1(C)に示すように、ほぼ垂直のエッチング端面が得られた。

【実施例2】

【0016】

本発明を用いて、新しい電界効果トランジスタを作製する例を図5を用いて説明する。半導体集積回路のデザインルールが縮小するにしたがって、電界効果トランジスタにおいては、ドレイン-チャンネル間の電界強度の急峻さにより、ホットキャリア注入現象が生じるようになった。このようなデザインルールの縮小（すなわち、チャンネルが短くなること）による特性の劣化を一般に短チャンネル効果という。このような短チャンネル効果を抑制する方法として、図3に示すような低濃度不純物領域（低濃度ドレイン、LDD）306、307を有するMIS型電界効果トランジスタが開発された。

【0017】

この種のデバイスではソース304とチャンネル形成領域、あるいはドレイン305とチャンネル形成領域の間に、ソース/ドレインより低濃度のLDD306、307が設けられたために、電界を緩和する効果が生じ、ホットキャリアの発生を抑制することができた。 10

図3に示すようなLDDはまず、ゲイト電極301を形成した後に、ドーピングをおこない、低濃度不純物領域を形成し、その後、酸化珪素等の材料によってサイドウォール302を形成し、これをマスクとして自己整合的にドーピングをおこなって、ソース/ドレインを形成する方法が採用された。

【0018】

そのため、LDD上にはゲイト電極が存在せず、さらなる短チャンネル化によっては、LDD上のゲイト絶縁膜にホットキャリアがトラップされる現象が生じた。そして、このようなホットキャリア、特にホットエレクトロンのトラップによって、LDDの導電型が反転してしまい、しきい値の変動や、サブスレッシュホールド係数の増加、パンチスルー耐圧 20の低下という短チャンネル効果が避けられなくなった。

【0019】

このような問題点を解決すべく、LDD上をもゲイト電極で覆った、オーバーラップLDD構造（GOLD）構造が提唱された。この構造を採用すれば、上記のようなLDD上のゲイト絶縁膜にホットキャリアがトラップされたことによる特性の劣化は避けることができる。しかしながら、GOLDを作製することは容易ではなかった。

これまでに報告されているGOLD構造のMIS型電界効果トランジスタとしては、IT-LDD構造（T. Y. Huang: IEDM Tech. Digest 742 (1986)）がある。その作製方法の概略を図4に示す。

【0020】

まず、半導体基板401上にフィールド絶縁物402とゲイト絶縁膜403を形成した後、多結晶シリコン等の導電性被膜404を成膜する。（図4（A）） 30

そして、導電性被膜404を適度にエッチングし、ゲイト電極406を形成する。このとき注意しなければならないのは、導電性被膜404を全てエッチングしてしまうのではなく、適当な厚さ（100～1000Å）だけ、残して薄い導電性被膜407とすることである。このため、このエッチング工程は極めて難しい。（点線で示される405は元の導電性被膜である。）

【0021】

このようにして、薄い導電性被膜407とゲイト絶縁膜403を通して、スルードーピングにより、LDD408、409を形成する。この際に、導電性被膜が厚いと十分にスルードーピングできない。また、基板間、パッチ間で導電性被膜の厚さが異なると、ドーズ量がバラックこととなる。（図4（B）） 40

その後、全面に酸化珪素等の材料で被膜410を成膜する。（図4（C））

そして、従来のLDD構造を作製する場合と同様に被膜410を異方性エッチング法によりエッチングすることにより、サイドウォール412を形成する。このエッチング工程では薄い導電性被膜407もエッチングする。そして、このようにして形成したサイドウォールをマスクとして、自己整合的にドーピングをおこない、ソース413、ドレイン414を形成する。（図4（D））

【0022】

その後、層間絶縁物415、ソース電極・配線416、ドレイン電極・配線417を形 50

成してMIS型電界効果トランジスタが完成する。(図4(E))

図から明らかなように、ゲイト電極の部分が逆T字(Inverse-T)であるので、IT-LDDと呼ばれる。そして、ゲイト電極の薄い部分がLDD上に存在するため、LDD表面のキャリア密度もゲイト電極によってある程度制御できる。その結果、LDDの不純物濃度をより小さくしてもLDDの直列抵抗によって相互コンダクタンスが減少したり、LDD上の絶縁膜中に注入されたホットキャリアによってデバイス特性が変動することが少なくなる。

【0023】

これらの利点はIT-LDD構造に固有のものではなく、全てのGOLD構造に共通することである。そして、LDDの不純物濃度を低くできるので電界緩和効果も大きく、また、LDDを浅くできるので、短チャネル効果やパンチスルーも抑制できる。

【0024】

しかしながら、GOLDの作製方法としては、IT-LDD構造以外には効果的な方法がなかった。従来のLDD構造において、単にサイドウォールをシリコンを主成分とする導電性被膜で構成することは実用的でなかった。それは、サイドウォールを形成する際のエッチングが、酸化珪素を主成分とするゲイト絶縁膜でストップさせることが難しく、基板を大きくエッチングする可能性があったためである。これは、従来のドライエッチングプロセスでは、シリコンをエッチングする際の酸化珪素との選択比が十分に大きくないことと、ゲイト電極(=サイドウォール)の厚さに比較してゲイト絶縁膜の厚さが1/10程度と小さかったためである。

【0025】

そして、IT-LDD構造は上記のような利点を多く有するものの、その作製方法が極めて難しいという問題があった。特に図4(B)の導電性被膜のエッチングの制御が極めて難しかった。もし、基板間、基板内で薄い導電性被膜407の厚さにバラツキがあると、ソース/ドレインの不純物濃度が変動してしまい、よって、トランジスタの特性がバラつくこととなる。

【0026】

本発明を用いれば、極めて簡単に、サイドウォールをシリコンやモリブデン、タングステン等を主成分とする(純度95%以上のシリコンよりなる)材料とすることが可能となる。すなわち、サイドウォールをゲイト電極の一部とすることにより、GOLD構造を得ることができる。このような構造を得るために、シリコンやモリブデン、タングステンを主成分とする材料よりなる導電性被膜をゲイト電極の中央部となる部分を覆って成膜したのち、本発明を実施することによって、異方性エッチングをおこなえばよい。

【0027】

なお、本発明ではサイドウォールの形成のためのエッチングにおいて、サイドウォール材料とゲイト絶縁膜材料とのエッチングの選択比を十分に大きくすることも可能となる。これはフッ化ハライドが酸化珪素をほとんどエッチングしないという特性を有しているためである。その結果、半導体基板のオーバーエッチングが回避できるのみか、ゲイト絶縁膜のオーバーエッチングも無くなる。

【0028】

以下、本実施例では、従来のLDD構造においてゲイト電極に相当する部分(図3の301)はゲイト電極であるが、それはゲイト電極の全てではないという意味で、ゲイト電極の中央部と称する。また、従来のLDD構造のサイドウォールに相当する部分(図3の302)もシリコンを主成分とする材料によって構成された導電性材料で、同時にゲイト電極の一部であるので、サイドウォールという呼び名以外にゲイト電極の側部とも称することとする。

【0029】

図5に本実施例を示す。まず、シリコン基板501上に公知のLOCOS形成法によって、厚さ3000Å~1μmのフィールド絶縁物502を形成した。また、ゲイト絶縁膜として、厚さ100~500Åの酸化珪素膜503を熱酸化法によって形成した。さらに

10

20

30

40

50

、熱CVD法によって燐をドーピングして導電率を高めた多結晶シリコン膜（厚さ2000～5000Å）を堆積し、これをエッチングしてゲイト電極の中央部504を形成した。そして、ゲイト電極の中央部504をマスクとして自己整合的に燐のイオン注入をおこない、低濃度のN型不純物領域（＝LDD）505、506を形成した。LDDの燐の濃度は $1 \times 10^{16} \sim 1 \times 10^{17}$ 原子/cm³、深さは300～1000Åとすると好ましかった。（図5（A））

【0030】

そして、熱CVD法によって燐をドーピングして導電率を高めた多結晶シリコン膜（厚さ2000Å～1μm）507を成膜した。（図5（B））

その後、ClF₃による異方性エッチングをおこなった。本実施例は図2に示された装置を用いて、実施例1と同様におこなった。まず、基板206を基板ホルダー204に設置して反応容器を減圧した。その後、基板204に光（本実施例においては紫外光）を照射しながら、アルゴンによって1～10%に希釈したClF₃をエッチングガスとして導入した。本実施例においては、ClF₃の濃度が5%となるように窒素によって希釈した。そして、反応容器内の圧力を10Torrとした。ClF₃の流量は500sccm、窒素の流量は500sccmとした。

【0031】

この結果、シリコン膜507は、垂直方向にエッチングされ、ゲイト電極の中央部504の側面にゲイト電極の側部（サイドウォール）509が形成された。（図5（C））

その後、砒素のイオン注入によって、ゲイト電極をマスクとして自己整合的にドーピングをおこない、ソース510、ドレイン511を作製した。砒素の濃度は $1 \times 10^{19} \sim 5 \times 10^{20}$ 原子/cm³とした。そして、熱アニール処理により、LDDおよびソース/ドレインの再結晶化をおこなった。（図5（D））

その後、熱CVD法によって、層間絶縁物として、厚さ3000Å～1μmの酸化珪素膜512を堆積した。そして、これにコンタクトホールを形成し、ソース電極513、ドレイン電極514を形成した。このようにして、GOLD型トランジスタを作製することができた。（図5（E））

【図面の簡単な説明】

【0032】

【図1】等方性および本発明の異方性エッチング形状の断面を示す。

【図2】本発明のエッチング装置の概略を示す。（実施例1）

【図3】従来法によるLDD構造のトランジスタを示す。

【図4】従来法によるIT-LDD型トランジスタの作製方法を示す。

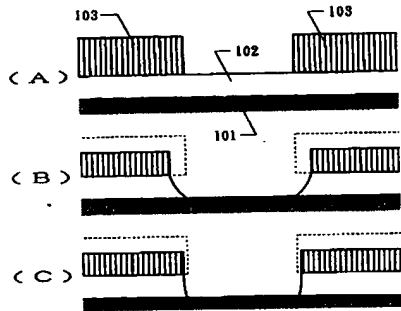
【図5】実施例2によるGOLD型トランジスタの作製方法を示す。

【符号の説明】

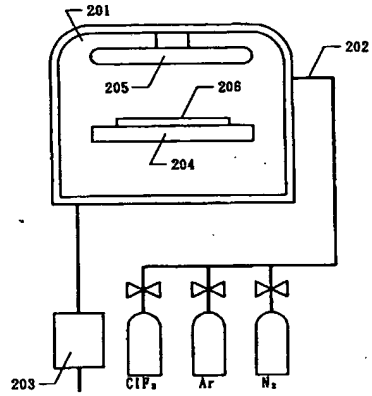
【0033】

- 101・・・・・・基板
- 102・・・・・・シリコン膜
- 103・・・・・・マスクパターンニング
- 201・・・・・・反応容器（チャンバー）
- 202・・・・・・ガス導入系
- 203・・・・・・排気系
- 204・・・・・・試料ホルダー
- 205・・・・・・光源
- 206・・・・・・基板

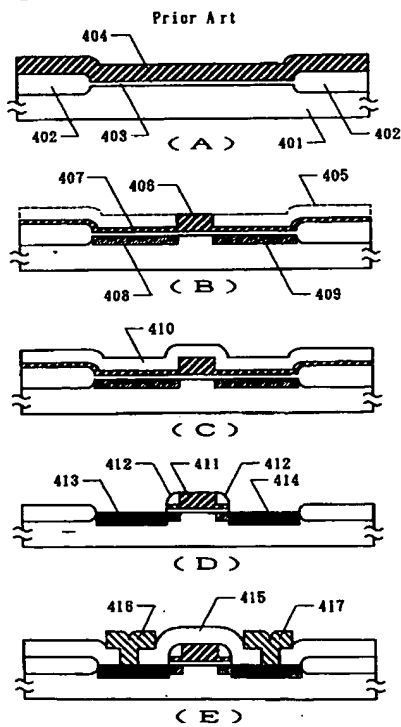
【図 1】



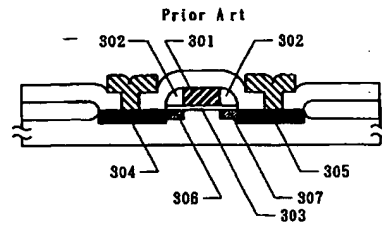
【図 2】



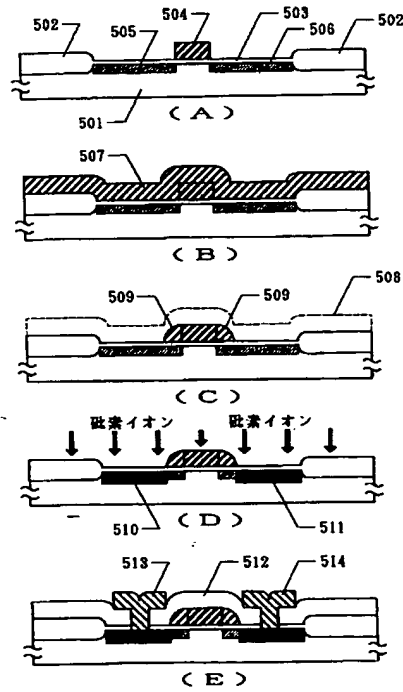
【図 4】



【図 3】



【図 5】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード (参考)

H O 1 L 29/78
H O 1 L 29/786

H O 1 L 29/78 3 O 1 P
H O 1 L 29/78 3 O 1 L
H O 1 L 29/58 G
H O 1 L 21/302 1 O 5 B

F ターム(参考) 4M104 BB01 BB16 BB18 BB38 CC05 DD65 DD66 DD91 FF06 FF08
FF31 GG09
5F004 AA14 AA15 AA16 BA19 BA20 BB02 BB03 BB25 CA02 CA04
DA00 DA23 DA25 DB02 DB08 DB10 DB17 DB18 EA11 EA34
EB02
5F110 AA30 CC02 DD05 EE04 EE09 EE12 EE31 EE45 FF02 FF23
GG02 GG12 HJ01 HJ04 HJ13 HM15 NN04 NN23 NN35 NN62
NN66 QQ04
5F140 AA00 AA26 BA01 BE07 BF01 BF04 BF07 BF40 BG08 BG15
BG16 BG31 BG38 BG52 BG53 BH15 BH49 BK02 BK13 BK20
BK25 CB01 CC03 CC12